

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-114211

(43)Date of publication of application : 02.05.1989

(51)Int.Cl.

H03K 3/037

(21)Application number : 63-234680

(71)Applicant : SGS THOMSON
MICROELECTRON INC

(22)Date of filing :

19.09.1988

(72)Inventor : POWELL JOHN N

(30)Priority

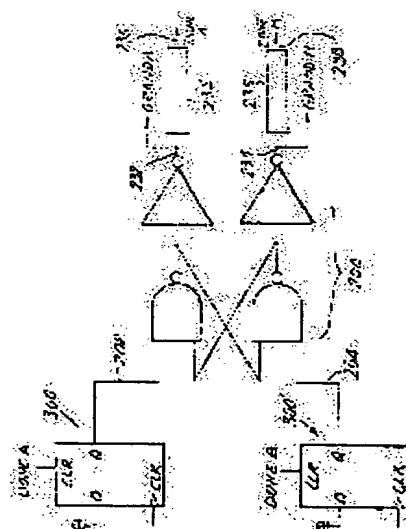
Priority number : 87 99168 Priority date : 18.09.1987 Priority country : US

(54) ARBITER CIRCUIT RESISTANT TO NOISE

(57)Abstract:

PURPOSE: To process a semi-stable voltage value as a logic value '0' and to propagate the value through a device by selecting a transistor(TR) in input and output circuits so that the quasi-stable output voltage value of the selected TR is lower than the quasisdrip point of a succeeding circuit on a line.

CONSTITUTION: Both of an upper circuit element connected between power supply voltage and data storing terminals 202, 204 and a lower circuit element connected between the terminals 202, 204 and an earth are connected to input circuit means 300, 300' and at least one of the upper and lower circuit elements has prescribed upper and lower impedance values. Thereby each quasi-stable state has a prescribed voltage value close not to a data storing state but to a default state. When two inputs are simultaneously started to rise, an improved arbiter circuit not to be influenced by the result of the quasi-stable state can be obtained and the semi-stable state is not propagated through the device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平1-114211

⑬ Int.Cl.⁴
H 03 K 3/037

識別記号 庁内整理番号
Z-8425-5J

⑭ 公開 平成1年(1989)5月2日

審査請求 未請求 請求項の数 3 (全9頁)

⑮ 発明の名称 ノイズに強いアービタ回路

⑯ 特 願 昭63-234680

⑰ 出 願 昭63(1988)9月19日

優先権主張 ⑱ 1987年9月18日 ⑲ 米国(U S) ⑳ 099168

⑳ 発 明 者 ジョン エス. パウエル アメリカ合衆国 93010 カリフォルニア カマリロ ノース アヴェイダー 321 スウィート 111 キュー. デイ. テー内

㉑ 出 願 人 エスジーエス トムソン マイクロエレクトロニクス インク. アメリカ合衆国 75006 テキサス キャロルトン エレクトロニクス ドライブ 1310

㉒ 代 理 人 弁理士 越 場 隆

明 細 書

1. 発明の名称 ノイズに強いアービタ回路

2. 特許請求の範囲

(1) 入力信号にตอบสนองして、データ格納端子(202)を安定なデフォルト電圧状態から安定なデータ格納電圧状態に切り換える入力回路手段(300)と、上記データ格納端子を上記安定なデータ格納電圧状態から上記安定なデフォルト電圧状態にクリアするための手段とを備える、データ格納端子(202)上の入力データを記憶するノイズに強いラッチ回路であって、上記データ格納端子(202)は、電源電圧からアースまでの電流路にして、該電源電圧と上記データ格納端子と間に接続された少なくとも1つの上部回路素子と上記データ格納端子とアースとの間に接続された少なくとも1つ下部回路素子との間の電流路に位置し、上記の少なくとも1つの上部回路素子と下部回路素子のどちらも、上記入力回路手段(300)に接続されて、安定な入

力信号にตอบสนองして上記の安定なデフォルト電圧状態もしくはデータ格納電圧状態の内の1つの電圧状態を取り、また、準安定電圧状態となるように制御されており、上記の少なくとも1つの上部及び下部の回路素子が所定の上及び下のインピーダンス値を有し、従って、上記準安定状態の各々が上記データ格納状態よりも上記デフォルト状態に近い所定の電圧値を有することを特徴とする回路。

(2) 上記データ格納端子に接続されて後段の論理回路が備えられており、該論理回路は、上記デフォルト電圧状態にตอบสนองする第1の内部状態と、上記データ電圧状態にตอบสนองする第2の内部状態と、該デフォルト電圧と該データ電圧との中間で且つ上記準安定状態よりも上記データ電圧に近いトリップ点電圧を有し、それによって上記後段の論理回路が上記準安定電圧状態と上記欠乏電圧状態に同一態様でตอบสนองすることを特徴とする請求項1に記載の回路。

特開平 1-114211(2)

(3) 上記データ格納端子(202)が第2のラッチ回路(200)内のノードであり、上記入力回路手段(300)が該第2のラッチ回路(200)を上記デフォルト電圧状態にするクリア手段を備え、さらに、基準電圧状態を記憶するための入力強制ラッチを備え、上記入力回路手段は、該入力強制ラッチと上記第2のラッチ(200)との間の導通路を開き、それによって上記入力強制ラッチが上記第2のラッチ(200)を上記安定電圧状態にすることを特徴とする請求項1に記載の回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、概略的には、集積化された論理回路に関するものであり、さらに詳細には、2つの入力内の時間的に最初のものに回答するよう構成されたアービタ回路に関するものである。

従来の技術

交差接続されたNANDゲートによって形成さ

れたRSラッチの使用は、当業者には周知である。このようなラッチの列がコンピュータシステムの論理回路に広く使用されている。このラッチは、クイット状態（論理0もしくは論理1のどちらでもよい）から動作状態に転送するための第1の入力が、ラッチの出力状態を、そのラッチ出力をクイット状態とは異なる対応する状態にし、また、第2の入力上の信号がこのラッチを介して伝搬されるのを防ぐという特性がある。そのような回路は、当業者には周知のように、より速い切り換え時間のための正のフィードバックループを備えている。トランジスタが、通常、スイッチとして使用される。このような回路は、有限の応答時間、すなわち、出力電圧が予測できるように2つの入力で電圧が上昇する間に最小限の時間を必要とする。

発明が解決しようとする課題

このような回路には、固有の問題、すなわち、2つの入力と同時に上昇し始めた時、もしくは、

- 3 -

どちらかの入力にノイズパルスがある時、回路は、部分的だけではあるが状態を切り換えるという問題があることが公知である。この状態は、回路のスイッチング時間と比べると長い、従来のパルス幅時間と比べると短い、不定な時間の間続くので、準安定状態と呼ばれる。ライン上または直列配置の次の回路は、準安定状態に回答して、装置を介して伝播されて予期しない結果を生じさせる望ましくない信号を発生させる。また、ラッチの出力が発振して、パルス列を生じさせることもある。

従って、本発明の目的は、準安定状態の結果に影響されない改良されたアービタ回路を提供することにある。

課題を解決するための手段

すなわち、上記のラッチ等の接続された入力及び出力回路内のトランジスタは、その準安定出力電圧の値がラインの次の回路のトリップ点より低くなるような相対的電流容量を有するようにサイ

- 4 -

ズ決定され、選択される。この時、このトリップ点は、回路がその出力信号を異なる状態に変化させるのに十分な入力電圧レベルである。従って、準安定電圧値は、論理値0として扱われ、その結果、装置を介して伝搬されない。

実施例

第1図にアービタ回路を図示した。この回路では、入力Aと入力Bは各々NANDゲートを介して弁別器として作用するインバータに接続されており、従って、対応する各々の出力Aと出力Bの端子に接続されている。2つのNANDゲート210と220は、従来のRSラッチを形成している。

RSラッチは、入力AとBはどちらも低く、出力端子212と222はどちらも高いというクイット状態を有することが周知である。また、入力Aが高く、入力Bが低く、出力端子212が高く、出力端子222が低いという第1の安定電圧状態があることは周知である。従って、最終的な結果は、出力212が高いと入力Aが高い入力状態に対応し、出

特開平 1-114211(3)

力222が低いと入力Bが低い入力状態に対応する。同様に、入力Bが高く、入力Aが低いと、出力端子222が高く、出力端子212が低くなる。

両入力AとBで電圧が、同時にすなわち回路の応答時間内に、上昇するとき、両NANDゲート210及び220が優位を設定しようとする、すなわち、どちらかの入力が出力信号を制御しようとし、状態は安定しない。この「準安定」状態は、2つの安定した電圧状態の1つ、またはクイット状態に、短いが、不定の期間でフリップする。

従来のNANDゲートを使用すると、RSラッチの準安定出力電圧の電圧値は従来の電源電圧である5Vとアースすなわち0Vのほぼ中間である。

しかし、弁別器として動作する2つのインバータ230及び240が各々従来のRSラッチの出力212及び222に接続されている場合、準安定電圧値は、必ずしもインバータ230及び240のトリップ点の上か下の何れか一方ではない。従って、準安定状態にある時インバータの出力電圧がどうなるか前もって予測することはできない。

本発明によると、NANDゲート210及び220と一緒に使用されるトランジスタの電流容量が変更される。従って、出力端子に存在する予測できる準安定電圧値がある。この電圧値は、弁別器のトリップ点の必ず片方の側にあるように設定される。

第2図は、第1図に回路をより詳細に示したものである。NANDゲート220は、出力ノード222とアースとの間に直列に接続されたNチャネルトランジスタ22及び26と、出力ノード222と電力供給端子との間に並列に接続された従来のPチャネルプリアップトランジスタ24と28を備える従来のCMOS (Complementary Metal Oxide Semiconductor) 回路である。NANDゲート210は、ダッシュ付の上記の同じ参照番号を付した対応するトランジスタを備えるものと同じ構造である。

準安定電圧状態が存在する時、ゲート220の出力端子222の電圧は、論理1（一般に5V）と論理0（一般にアース）との間の中間にある値になる。これによって、ゲート210のトランジスタ26'及び28'が交互に駆動されるが、意図されたより

- 7 -

も弱い。すなわち、トランジスタは完全にオンすなわち導通ではなく、完全にオフすなわち閉塞されてもいない。同様に、ゲート210の出力ノード212の中間電圧レベルによって、トランジスタ26と28が部分的にオンになる。

当業者は、容易に、電源電圧の約半分である約2.6Vの所望の準安定電圧になるように出力トランジスタ26、28、26'及び28'のための従来のトランジスタ幅を選択することができる。

インバータ240のPチャネルトランジスタ32とインバータ240のNチャネルトランジスタ34は、幅の比が1対4になるように構成されていた。その結果、インバータ240のトリップ点は、電力供給電圧の約半分である通常の値から電源電圧の約4分の1の値に下がった。

出力ノード212と222のクイット電圧レベルは従来論理1、すなわち、+5Vなので、準安定状態が存在すると、出力端子212と222の電圧が約半分すなわち2.6Vに下がる。インバータ230及び240のトリップ点が約1.3Vに設定されているので、

- 8 -

インバータ230及び240は準安定状態による5Vから2.6Vへの電圧の変化に応答しない。従って、出力端子232及び242の電圧値は、RSラッチ内の準安定状態の存在によって影響されない。何であれ妨害が除去されると、準安定はラッチを1つもしくは他の安定出力状態にフリップするには十分ではないが、ラッチはそのクイット状態に戻る。その時、出力端子は、全く変化を示さない。妨害がラッチを1つもしくは他の一定の電圧状態にフリップするのに十分ならば、この時、入力は「正式」な入力として処理され、出力端子はその状態を反映して変化する。

もう1つの望ましくない状態は、ノイズパルスがRSラッチに入力され、それによって、出力端子がその正常値から変化するかもしれない発振する状態である。そこに問題があるために、準安定状態に達する必要はないが、電圧の変化が回路の内の他の論理装置をトリップさせるのに十分であることだけが必要である。RSラッチの下流で、正常の電源電圧とアースとの間の通路の4分の3の

特開平 1-114211(4)

点に接続されているインバータのトリップ点を下げる利点は、その結果、回路が通常の約 5 V の電圧レベルの電源電圧の変動により影響されないようになることである。

本発明を最善の形で実施するためには、NAND ゲートが電力供給の約半分のレベルであり且つインバータが従来のトリップ点からさらに離れている必要はない。NAND ゲートは、準安定電圧レベルがアースに近いが、もしくは、正電源電圧レベルに近いように構成することができる。その場合、インバータもしくは次の他の論理回路が、電源電圧レベルの約半分の従来のトリップ点を有することができる。

当業者は、容易に、電源電圧がアースに対して負であるアクティブロー・アクティブハイ論理回路等の他の配置にも本発明の原理を適用することができるであろう。

上記の説明は、回路の唯一の機能が 2 つの入力 A 及び B の時間的に最初のものに応答することであり、2 番目の入力の対する応答については、何

であれ、全く関係していないことを仮定している。多くの装置の配置は、どちらの入力にも応答することを要求している。そのような場合、入力信号に要求を与えるか、望ましくない入力信号のために配置を訂正する回路素子を導入することが必要である。例えば、入力 B のパルス長が入力 A のパルス長より短く、入力 A が時間的に最初ならば、入力 A の信号がアースに降下すると、入力 B は消滅し、装置は入力 A にだけ応答する。入力 B が時間的に最初の時、出力 B の信号がアースに降下するまで、出力 B は存在する（ラッチ出力に伝搬される）。その後、出力 A の信号が現れる。

2 つの入力の両方に順番に応答するという問題は、入力 A と入力 B のデータ線上に各々入力ラッチ 300 と 300' を加えることによって解決できる。これらのラッチは、第 3 図に示すように、“キューイングアービタ”という名が付けられている。

入力 A の信号が時間的に最初に到達し、その後直ぐに入力 B の信号が到達すると仮定する。フリップフロップ 300 及び 300' は、どちらも +5 V の

- 11 -

出力でラッチされる。入力 A が最初なので、アービタ回路 B はノード 232 及び 234 に出力信号を出力することによって応答する。この時、ノード 232 は高く、ノード 234 は低い。ノード 232 の高い信号は、“GRAND A”という名の線を通して、何であれ装置に含まれている後段の回路に転送される。この信号は、遅延回路 235 を介して遅延され、一定の時間 T の後に端子 236 に到達する。この信号は、入力ラッチフリップフロップ 300 の“DONE A”端子にフィードバックされて、フリップフロップ 300 をクリアし、出力端子 202 を低い論理状態、すなわち、アースにする。この場合、回路 200 は反対の状態に切り換わる。この時、ノード 234 は高く、ノード 232 は低い。時間的に 2 番目の信号、すなわち、入力 B の信号は、この時、装置のほかの部分に伝搬され、上記の方法のいずれかで処理される。ノード 234 の信号は、ノード 238 に到達し、フリップフロップ 300' の“DONE B”端子に接続され、フリップフロップ 300' をクリアする。このシーケンスの終点で、フリップフロップ 300 及び 300' は

- 12 -

新しい入力を受ける準備ができ、入力信号はどちらもこの装置によって供給される。

遅延線 235 は、装置のほかの部分からの次の入力を受けることができることを示す肯定応答信号と置き換えることができる。この場合、肯定応答信号が最小限の時間持ちこたえるように作られた設備がなければならない。本発明の特徴の 1 つは、遅延された入力のラッチされた信号がまたラッチをクリアにし、その結果、クリア信号がクリアする機能が完了する十分な時間の間存在することが保証されていることである。従って、クリア機能はノイズに影響されない。フリップフロップ 300 もしくは 300' がクリア信号の始点で準安定状態にフリップしなければならないならば、クリア信号は、端子 202 がアースになるまで有効であるので重要でなく、この変化はアービタ 200 を介して転送される。

第 3 図は、以下に説明される 2 つのラッチ回路 300 及び 300' の前にある参照番号“200”によって示された上記のアービタ回路を示すものである。

特開平 1-114211(5)

キューイングアービタの出力段は、第1図の出力信号（線232及び234上に表示）を一定の遅延によって遅延させて、入力ラッチ300及び300' にフィードバックされる線236及び238の信号を発生させ、ラッチをクリアし、それをデフォルト状態に再記憶する遅延回路を備える。

回路300は、第4図に詳細に図示されている。この第4図は、回路が変形D型フリップフロップであることを示している。この回路では、従来の入力恒久的に+5Vに結合されており、入力信号がクロック端子に入力される。このフリップフロップは、以下に説明するように、標準のフリップフロップラッチを変更した、参照番号320及び330の2つのラッチからなる。

信号間のクイット状態では、標準電圧値が、2つのラッチに印加されている。矢印310によって示されており、トランジスタ312及び318を備えるクリア回路を介して動作するクリア信号は、クリア信号が初期には高く、低い状態に切り換わる時機能して、このクリア回路がノード30及び34に+

5Vの信号を印加する。それに応じて、データ格納ノードである出力ノード36は、交差接続されたインバータ321及び322によってアース状態に維持されている。入力信号が出現し、クロック信号が高くなると、トランジスタ319は導通になり、ノード32はノード34に接続される。その結果、インバータ321及び322がノード34の電圧を設定しようと競合する。インバータ321の電流容量はインバータ322の電流容量より極めて高いので、ノード32は優勢になり、ノード34は低い値になる。従って、ノード36は、高い値になる。ラッチ330は、回路がクリアされるまで、ノード36の高い値に維持する。"DONE"信号がクリア端子に到達し、クロック端子の入力信号がなくなると、以下に説明するように回路がクリアされる。参考までに、以下の説明では、ノード34が+5Vで、ノード36がアースにある状態は、「デフォルト電圧」状態とされる。ラッチ330は、クロック端子の入力信号に回答して切り換わる。その結果、基準電圧を記憶する基準ラッチ320は、ラッチ330の状態をデータ

- 15 -

状態にフリップすることができる。

入力ラッチのノイズに対する耐性は、交差接続されたインバータ中のトランジスタを注意深くサイズを決定することによって提供される。この交差接続されたインバータは、2つの安定状態と1つの準安定状態を有する正のフィードバックループを形成する。これは、当業者には公知のように、この型のラッチの特性である。安定状態では、もちろん、1つの入力が高い論理すなわち1であり、1つの入力が高い論理すなわち1である。論理1が低い電圧であったり、もしくは、電源電圧がアースに対して負である装置に本発明の原理を適用することは当業者には容易であるが、通常、低い論理はアースであり、高い論理は+5Vである。ノード30、32、34、及び36の準安定電圧値は、第4図の円に示されており、各々、2.3V、3.2V、2.4V、及び1.5Vである。第4図の右の円は、シーケンスで次の論理回路のトリガ点電圧を示している。

ここで、第4図のフリップフロップの動作を考

- 16 -

えてみる。クリア線が長い間存在すると仮定すると、その結果、ノード30及び36は極めて低い（アース）。ノード32及び36は、高くなる（+5V）。その時、クリア線から信号が消え、アースに降下する。回路には変化がないので、クロック信号が高いかどうかはあまり重要ではない。従って、入力信号が第3図の回路を介したサイクル時間より長い時間続くかどうかは重要ではない。ノイズパルスがクロック線に出現したと仮定する。すると、クロック線は+5Vからより低い電圧に降下する。この電圧は、ラッチ320のフリップ状態のフィードバック路を形成するには十分でないが、準安定平衡状態にするには十分である。この時、ノード32は3.2Vで平衡になり、ノード30は2.3Vで平衡になる。この3.2Vの値は、トランジスタ319を介してノード34に伝搬される。この場合、トランジスタ319は、短期のノイズパルスがそれをオフにするのに十分ではないので、まだオンであると考えられる。この時、ノード34は3.2Vになる。しかし、インバータ321はそのトリップ点が3.2V以

特開平 1-114211(6)

上であるように構成されているので、インバータ321のトリップ点を越えるのに十分ではない。ラッチ320がその基準状態を回復すると、その時、ラッチ330には何も起きない。ラッチ330が反対の状態にフリップすると、ノイズパルスは、大きな点で十分であり、遷移を引き起こし、正式な入力パルスであるとみなされる。このパルスの大きさの基準は、両電圧の基準及び入力パルスの期間に等しい。短すぎる、すなわち、電圧が低すぎるパルスは、ラッチ320をフリップしない。フリップが起こる時は、ノード32が+5V状態にフリップし、ラッチ330はそれに応じてフリップする。これは、正式な入力パルスに対する適切な動作である。

第3図に図示し、キューイングアービタとして上記のように説明した装置は、時間的に近接して到達した2つの入力信号を受け、格納し、また、ラッチ内、すなわち、アービタ回路内の1つもしくは別の正のフィードバックループを準安定状態にフリップさせる、入力線内の変動に抵抗すると

いう特性を備える。上記のように、多くの適用例では、ノイズに強いアービタユニット220だけを必要とし、入力部分によって提供されるようなキューイング特性は必要としない。

考慮すべき別の型のノイズパルスは、クロック信号が低い時出現する正のパルスである。この場合、装置はデフォルト状態にあり、クリアもクロックも低いと仮定する。正のパルスがクロック線に現れ、デフォルト状態でアースレベルであるノード32と高いノード34との間のトランジスタ319を介して導通路を形成する。このパルスは、ラッチ330に伝搬され、ラッチ330を準安定状態にする。ラッチ330が準安定状態からデフォルト状態に降下する時、ノード36の準安定状態電圧は1.3Vで、ラインの次の回路のトリップ点電圧より低く、次の回路は準安定状態を無視するので、効果はない。ラッチ330が状態をフリップすると、入力パルスは正式な入力パルスであると仮定される。

負になるパルスにも正になるパルスにも適したこのようなノイズに強いを備えるラッチを製造す

- 19 -

る際、重要なポイントは、ラッチのインバータの電流容量を正確にサイズ決定することである。サイズ決定の結果、ノード32の準安定状態は次のラッチ330のトリップ点より低く、出力端子36の準安定状態はラインの次の回路のトリップ点より低くなる。この条件は、次の回路が準安定状態をデフォルト状態であるとして処理するようにトリップ点と準安定電圧値を設定すると言い換えることができる。従って、準安定状態はデフォルト状態になると無視され、ラッチをデータ状態にするほど十分に長く続く正式であるとみなされる。

どのような方法により、このようなCMOSインバータの電流容量を平衡にし、準安定平衡点を決め、広い範囲内で閾値トリップ点を決定するかは、当業者には明らかであろう。含まれる種々のトランジスタの正確なトランジスタ幅は、もちろん、トランジスタのトランスコンダクタンスにより、すなわち、プロセスパラメータの数による。従来のCMOSプロセスでは、インバータ内のトランジスタは、第4図に示した数値によってサイ

- 20 -

ズ決定されていた。この表示では、上の数はインバータ内のPチャネルトランジスタの幅であり、下の数はNチャネルトランジスタの幅である。例えば、インバータ321では、Pチャネルトランジスタの幅は200ミクロンであり、Nチャネルトランジスタの幅は100ミクロンである。

下に2つの数字がある時は、場合によって、下もしくは上のトランジスタの幅及び長さを示している。近似値の範囲内で、トランジスタの電流容量は、オンになるのが同じ程度ならば、その幅に比例し、これらの数字はトランジスタのサイズ決定の目安として役立つ。この情報を自分の回路設計に適用するのは、当業者には容易であろう。

4. 図面の簡単な説明

第1図は、「準安定安全アービタ」と名付けられた本発明のアービタ回路の1実施態様のブロック図であり；

第2図は、まだ単純化されているが、第1図の実施態様のトランジスタートランジスタロージ

特開平 1-114211(7)

ックの詳細図であり；

第3図は、「キューイングアービタ」と名付けられた第1図の回路に入力ラッチを付与したものの概略図であり；

第4図は、第3図に図示した入力ラッチの「変形D型フリップフロップ」の拡大詳細図である。

(主な参照番号)

- 22、26・・・Nチャネルトランジスタ
- 24、28・・・Pチャネルプルアップトランジスタ
- 32・・・Pチャネルトランジスタ
- 34・・・Nチャネルトランジスタ
- 36・・・出力端子 200・・・アービタ回路
- 210、220・・・NANDゲート
- 212、222、232、242・・・出力端子
- 230、240・・・インバータ
- 235・・・遅延回路 236、238・・・端子
- 300、300'・・・入力ラッチ
- 320、330・・・ラッチ
- 312、318、319・・・トランジスタ

321、322・・・インバータ

特許出願人 エスジーエーストムソン
マイクロエレクトロニクス インク.

代理人 弁理士 越 堀 隆

- 2 3 -

- 2 4 -

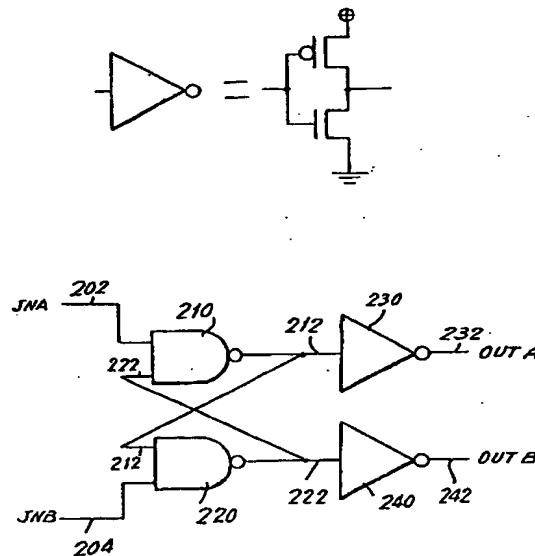
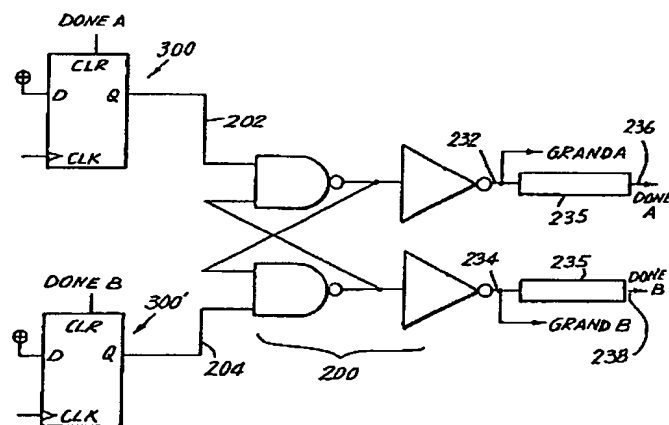
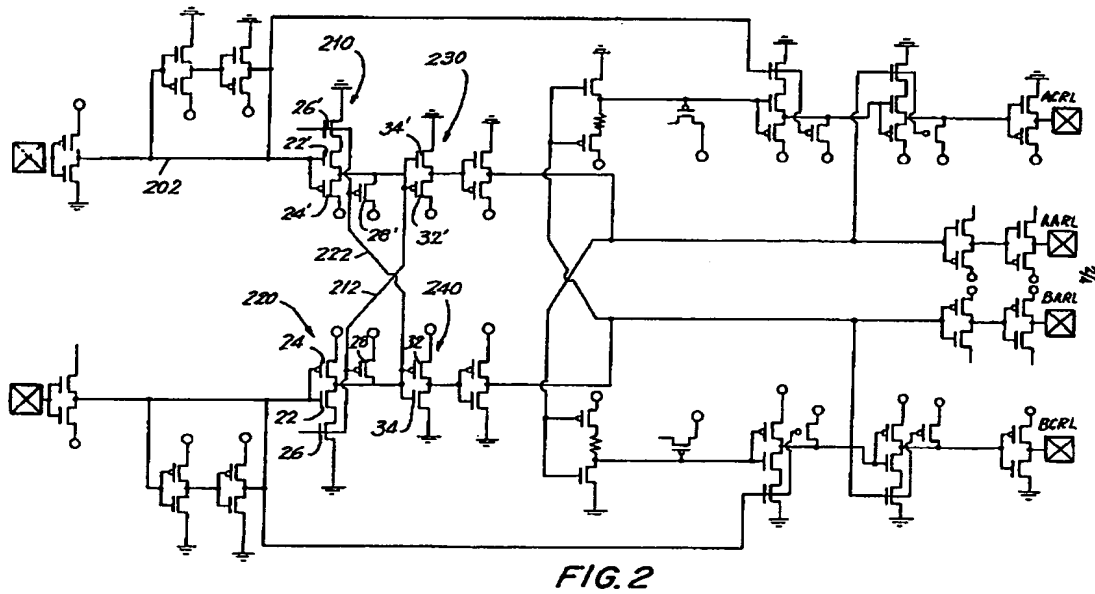


FIG. 1

特開平 1-114211(8)



特開平 1-114211(9)

FIG. 4

